НИЖЕГОРОДСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Лабораторная работа №3.

**Реакции процессора на внешний сигнал запроса прерывания и сигнал готовности подсистем**

Выполнил: Игнаков К.М. 19-В-2

Принял: Киселев Ю.Н.

Н. Новгород 2021 г.

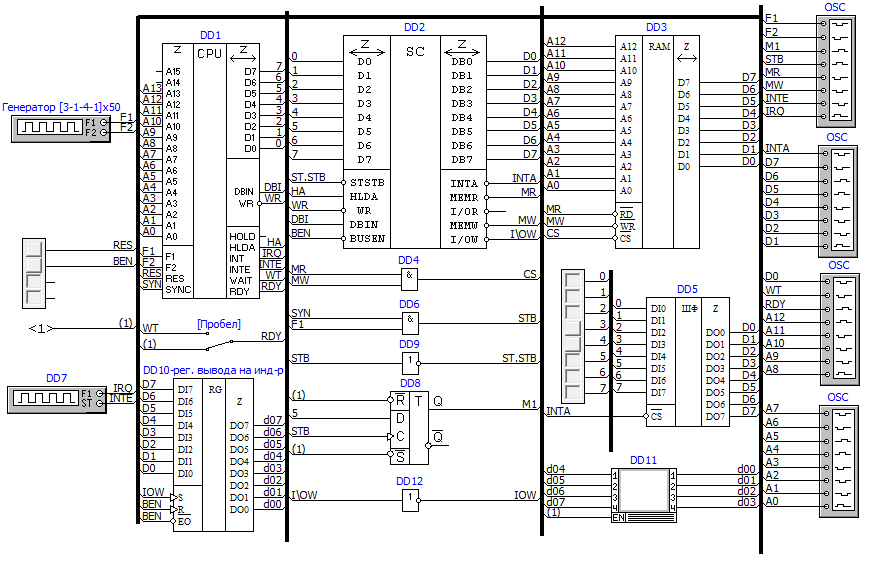
# Цель работы

Изучение реакции процессора на внешние сигналы прерывания INT и READY (готовность подсистем) путем получения и исследование временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении перехода на программу прерывания, анализ данных на ШД и ША в циклах перехода; исследование реакции на сигнал готовности подсистем Ready.

# Задача

Написать программу, которая позволит исследовать реакцию процессора на внешний сигнал прерывания; произвести наблюдение и фиксацию временных диаграмм сигналов управления, сигналов шин данных и адреса в процессорных циклах с помощью логических анализаторов; снятие битовой информации по осциллограммам; исследование временных диаграмм, которые процессор формирует при получении внешних сигналов прерывания и сигнала готовности подсистем.

# Схема микро-ЭВМ на процессоре КР580ВМ80А

****

**Листинг программы:**

lxi sp, 200h

ei

:m1

jmp m1

skip 20h

mvi a, 64h

out 01h

ret

**Сведенные в таблицу результаты считывания данных с ШД**

|  |  |  |
| --- | --- | --- |
| Адрес (PC) | Код | Мнемоника |
| lxi sp, 200h | 0000h | 31 00 02 |
| ei | 0003h | FB |
| jmp m1 | 0004h | C3 01 00 |
| skip 20h | 0004h | E7 |
| mvi a, 64h | 0020h | 3E 64 |
| out 01h | 0022h | D3 01 |
| ret | 0024h | C9 |

**Временные диаграммы:**

М2

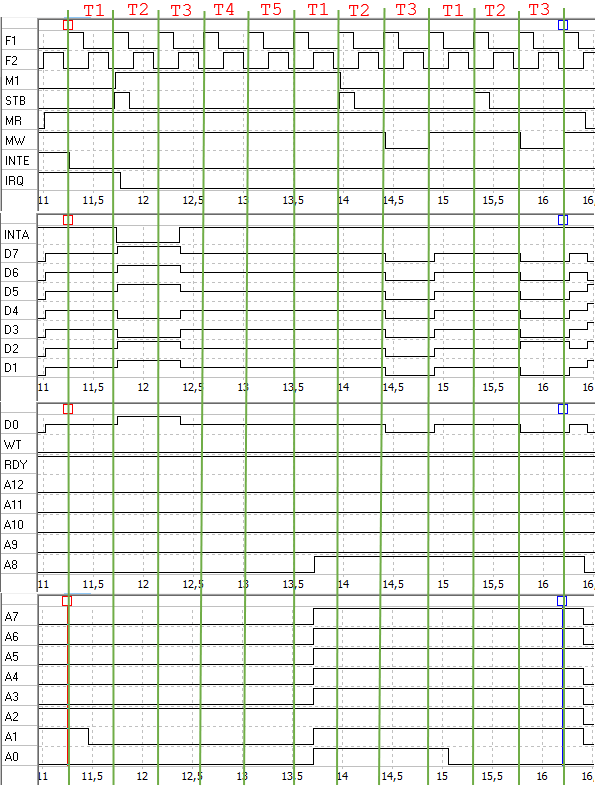
М3

М1

МW2

МW1

INTA

****

Занесение младшего байта адреса в стек

Занесение старшего байта адреса в стек

Прием команды RST с шины данных

**Результаты считывания данных с ШД:**

|  |  |  |  |
| --- | --- | --- | --- |
|  | INTA | MW1 | MW2 |
| D7 / MR | 1 | 0 | 0 |
| D6 / IN | 1 | 0 | 0 |
| D5 / M1 | 1 | 0 | 0 |
| D4 / OUT | 0 | 0 | 0 |
| D3 / HALT | 0 | 0 | 0 |
| D2 / STACK | 1 | 0 | 1 |
| D1 / WR | 1 | 0 | 0 |
| D0 / INTA | 1 | 0 | 0 |
| Код | E7h | 00h | 04h |

**Результаты считывания данных с ША:**

|  |  |  |  |
| --- | --- | --- | --- |
|  | INTA | MW1 | MW2 |
| A12 | 0 | 0 | 0 |
| A11 | 0 | 0 | 0 |
| A10 | 0 | 0 | 0 |
| A9 | 0 | 0 | 0 |
| A8 | 0 | 1 | 1 |
| А7 | 0 | 1 | 1 |
| А6 | 0 | 1 | 1 |
| А5 | 0 | 1 | 1 |
| А4 | 0 | 1 | 1 |
| А3 | 0 | 1 | 1 |
| А2 | 0 | 1 | 1 |
| А1 | 0 | 1 | 1 |
| А0 | 0 | 1 | 0 |
| Код | 0000h | 01FFh | 01FEh |

**Комментарии к результатам считывания данных с шины данных.**

INTA: чтение кода вектора прерывания

MW1: занесение старшего байта адреса в стек

MW2: занесение младшего байта адреса в стек

**Комментарии к результатам считывания данных с шины адреса.**

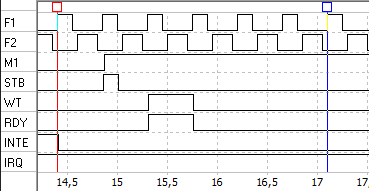
По адресу 01FFh хранится верхушка стека

По адресу 01FEh хранится адрес возврата

**Реакция микропроцессора КР580ВМ80А на сигнал READY.**

Тож

Т2



1

1

0

0

Цикл М1 прерывания

На временной диаграмме показан случай, когда линии WAIT и READY соединены. Микропроцессор анализирует сигнал READY в 2 такте каждого машинного цикла. Во втором такте READY = 0, поэтому микропроцессор вводит такты ожидания, а также подтверждает ожидание сигналом WAIT. Так как сигнал WAIT стал равен 1, то сигнал READY тоже перешел в состояние 1. Во время анализа в такте ожидания сигнал READY=1, поэтому микропроцессор продолжает выполнение машинного цикла.

Таким образом, при соединении линий процессора READY и WAIT микропроцессор будет вводить по одному такту ожидания в каждом машинном цикле.

**Вывод:** в результате выполнения данной лабораторной работы была изучена реакция процессора на внешние сигналы прерывания INT и READY путем получения и исследования временных диаграмм, которые формирует процессор КР580ВМ80А